

PAT-NO: JP404127468A

DOCUMENT-IDENTIFIER: JP 04127468 A

TITLE: MANUFACTURE OF SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE

PUBN-DATE: April 28, 1992

INVENTOR-INFORMATION:
NAME
MIYATAKE, HISAFUMI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP02248252

APPL-DATE: September 18, 1990

INT-CL (IPC): H01L027/108, H01L027/04

US-CL-CURRENT: 257/301, 257/304

ABSTRACT:

PURPOSE: To flatten not only the substrate on which a BPSG film is formed as a layer insulating film, but also the surface of the BPSG film, by forming two kinds of trenches, a shallow and deep trenches, into a semiconductor substrate and forming a transfer gate so that the transfer gate can be buried in the shallow trench.

CONSTITUTION: A shallow transfer gate trench 12 of about 400nm in depth is formed by subjecting a substrate to reactive sputter etching. Then a

capacitive trench 6 of about $4\mu\text{m}$ in depth is formed etching the substrate. Then, after a phosphor-doped capacitive film 2 of polycrystalline silicon having a thickness of about 600nm is deposited on the entire surface of the substrate by a CVD method, a photoresist film 11d is formed on the surface of a desired area including the capacitive trench 6. After the film 11d is formed, a phosphor-doped polycrystalline silicon transfer gate film 4 of about 300nm in thickness is deposited on the entire surface by a CVD method. In addition, a photoresist film 11e for forming a transfer gate is formed by patterning the film 4. After the film 11e is formed, the film 4 is patterned by making reactive sputter etching by using the film 11e as a mask.

COPYRIGHT: (C)1992,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-127468

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月28日

H 01 L 27/108
27/04

C

7514-4M
8624-4M
8624-4M

H 01 L 27/10

3 2 5 D
3 2 5 H

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体集積回路装置の製造方法

⑯ 特 願 平2-248252

⑰ 出 願 平2(1990)9月18日

⑱ 発 明 者 宮 竹 尚 史 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体集積回路装置の製造方法

特 許 請 求 の 範 囲

トレンチ型DRAMの記憶回路部の製造方法において、

半導体基板に表面から内部に向かう浅溝及び深溝を形成する工程と、

前記半導体基板表面及び前記浅溝並びに前記深溝の溝内壁に、絶縁膜を形成する工程と、

前記深溝にボロン及び砒素をイオン注入し、前記浅溝にボロンをイオン注入する工程と、

前記半導体基板表面にリンドープ多結晶シリコン膜を堆積し、かつ前記浅溝並びに前記深溝の内部に前記リンドープ多結晶シリコン膜を充填する工程と、

前記リンドープ多結晶シリコン膜をエッチングし、前記浅溝並びに前記深溝の内部にのみ前記リ

ンドープ多結晶シリコン膜を残し、前記浅溝をトランスファゲートとし、前記深溝を容量とする工程と、

全面に層間絶縁膜としてのBPSSG膜を堆積する工程と、

前記BPSSG膜の所定部分に、コンタクト溝を形成する工程と、

ディジット線を形成する工程と、

を含むことを特徴とする半導体集積回路装置の製造方法。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は半導体集積回路装置の製造方法に関し、特にトレンチ型DRAMの記憶回路部の製造方法に関する。

〔従来の技術〕

従来のトレンチ型DRAMの記憶回路部は、次のような工程で形成されていた。

まず、半導体基板表面にマスク層を形成し、選

択的にフィールド酸化膜を形成する。

次に、溝エッチング用のマスクとなるフォトレジスト膜を形成し、反応性スパッタエッチングにより半導体基板にトレンチ型容量部となる溝を形成する。

次に、この溝の内壁にボロンを、溝内壁及び溝開口部周辺に砒素をイオン注入し、半導体基板表面及び溝内壁表面に酸化膜を被着する。更に溝内部のみを充填するようにリンドープ多結晶シリコン膜を被着、加工する。

次に、ゲート酸化膜を形成し、ボロンをイオン注入し、更に再びリンドープ多結晶シリコン膜を被着し、フォトリソグラフィ技術によりこのリンドープ多結晶シリコン膜からなるトランスファゲートを形成する。続いて、トランスファゲートをマスクにして砒素のイオン注入を行ない、拡散層を形成する。

次に、全面に層間絶縁膜としてのBPSG膜を堆積し、フォトリソグラフィ技術によりBPSG膜に拡散層に至るコンタクト溝を設け、WSi膜

を堆積、加工してWSi膜からなるディジット線を形成し、トレンチ型DRAMの記憶回路部を形成する。

〔発明が解決しようとする課題〕

ところが上述した従来の半導体集積回路装置の製造方法では、リンドープ多結晶シリコン膜からなるトランスファゲートを半導体基板上に形成し、その上に層間絶縁膜としてのBPSG膜を形成するため、ディジット線と砒素イオン注入により形成された拡散層とのコンタクトをとるためのコンタクト溝の深さが深くなり、ディジット線となるWSi膜のコンタクト溝側壁及び底辺部での形状が悪くなり、ディジット線の断線等の問題が発生する。

本発明の目的は、上記欠点を解消して、ディジット線と砒素イオン注入により形成された拡散層とのコンタクトをとるためのコンタクト溝の深さを浅くし、コンタクト溝側壁及び底辺部でのWSi膜の形状を良くするトレンチ型DRAMの記憶回路部の形成方法を提供することにある。

〔課題を解決するための手段〕

本発明の半導体集積回路装置の製造方法は、トレンチ型DRAMの記憶回路部の製造方法において、

半導体基板に表面から内部に向かう浅溝及び深溝を形成する工程と、

前記半導体基板表面及び前記浅溝並びに前記深溝の溝内壁に、絶縁膜を形成する工程と、

前記深溝にボロン及び砒素をイオン注入し、前記浅溝にボロンをイオン注入する工程と、

前記半導体基板表面にリンドープ多結晶シリコン膜を堆積し、かつ前記浅溝並びに前記深溝の内部に前記リンドープ多結晶シリコン膜を充填する工程と、

前記リンドープ多結晶シリコン膜をエッチングし、前記浅溝並びに前記深溝の内部にのみ前記リンドープ多結晶シリコン膜を残し、前記浅溝をトランスファゲートとし、前記深溝を容量とする工程と、

全面に層間絶縁膜としてのBPSG膜を堆積す

る工程と、

前記BPSG膜の所定部分に、コンタクト溝を形成する工程と、

ディジット線を形成する工程と、
を含んでいる。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図(a)～(j)は、本発明の第1の実施例を説明するための工程順断面図である。

まず、600nm程度のフィールド酸化膜1を形成〔第1図(a)〕した半導体基板上に、フォトレジスト膜11aを形成し、反応性スパッタエッチングにより半導体基板をエッチングして深さ約400nmの浅いトランスファゲート溝12を形成する〔第1図(b)〕。

次に、フォトレジスト膜11aを剝離した後、CVD法により膜厚10nm程度のマスク窒化膜13を半導体基板全面に堆積する。続いて、フォトレジスト膜11bをマスクにした反応性スパッタエッチングにより、マスク窒化膜13をパター

ニングする〔第1図(c)〕。

次に、フォトレジスト膜11bを剝離した後、フォトレジスト膜11cをマスクにした反応性スパッタエッチングにより、半導体基板をエッチングし、深さ約4 μ mの容量溝6を形成する。続いて、フォトレジスト膜11cをマスクにして、容量溝6の側壁にボロンのイオン注入を行ないボロン拡散層7を形成する〔第1図(d)〕。

次に、フォトレジスト膜11cを剝離した後、マスク窒化膜13をマスクにして、容量溝6の側壁及び容量溝6開口部周辺に砒素のイオン注入を行ない、H I - C構造の容量砒素拡散層7aを形成する〔第1図(e)〕。

次に、マスク窒化膜13をウェットエッチングにより除去した後、熱酸化法により約15nmの溝酸化膜14を形成する。続いて、CVD法により600nm程度のリンドープの容量多結晶シリコン膜2を全面に堆積し、容量溝6を含めた所望の領域を覆うフォトレジスト膜11dを形成する〔第1図(f)〕。

11eを剝離した後、トランスファゲート多結晶シリコン膜4をマスクにして、砒素のイオン注入を行ない、トランスファゲート溝12の間の空隙部分にコンタクト拡散層8を形成する〔第1図(h)〕。

次に、全面に膜厚600nm程度のBPSSG膜3を堆積する。続いて、コンタクト拡散層8上以外を覆うパターンを有するフォトレジスト膜11fを形成する〔第1図(i)〕。

次に、フォトレジスト膜11fをマスクにしてBPSSG膜3のエッチングを行ない、コンタクト溝10を形成する。続いて、フォトレジスト膜11fを剝離した後、全面にWSi膜5を堆積し〔第1図(j)〕、フォトリソグラフィ技術によりこれをパターンニングしてディジット線を形成し、トレンチ型DRAMの記憶回路部が形成される。

第2図(a)～(h)は、本発明の第2の実施例を説明するための工程順断面図である。

まず、600nm程度のフィールド酸化膜1を

次に、フォトレジスト膜11dをマスクにして容量多結晶シリコン膜2のパターニングを行なった後、フォトレジスト膜11dを剝離する。このときのパターニングで溝酸化膜14も除去される。続いて、Vth制御のためのボロンのイオン注入を行ない、半導体基板の露出面及び容量多結晶シリコン膜2表面に熱酸化法による膜厚約20nmのゲート酸化膜9を形成する。その後、CVD法により全面に300nm程度のリンドープのトランスファゲート多結晶シリコン膜4を堆積する。更に、トランスファゲート多結晶シリコン膜4をパターニングしてトランスファゲートを形成するためのフォトレジスト膜11eを形成する〔第1図(g)〕。

次に、フォトレジスト膜11eをマスクにした反応性スパッタエッチングにより、トランスファゲート多結晶シリコン膜4をパターニングする。このエッチングにより、トランスファゲート溝12は、トランスファゲート多結晶シリコン膜4により充填される。続いて、フォトレジスト膜

形成〔第2図(a)〕した半導体基板上に、フォトレジスト膜11gを形成し、反応性スパッタエッチングにより半導体基板をエッチングして深さ約400nmの浅いトランスファゲート溝12aを形成する〔第2図(b)〕。

次に、フォトレジスト膜11gを剝離した後、Vth制御のためのボロンのイオン注入を行ない、半導体基板の露出面に熱酸化法による膜厚約20nmのゲート酸化膜9aを形成する。続いて、CVD法により全面に300nm程度のリンドープのトランスファゲート多結晶シリコン膜4aを堆積する。更に、トランスファゲート多結晶シリコン膜4aをパターニングしてトランスファゲートを形成するためのフォトレジスト膜11hを形成する〔第2図(c)〕。

次に、フォトレジスト膜11hをマスクにした反応性スパッタエッチングにより、トランスファゲート多結晶シリコン膜4aをパターニングする。このエッチングにより、トランスファゲート溝12aは、トランスファゲート多結晶シリコン

膜4aにより充填される。続いて、フォトレジスト膜11hを剝離した後、フォトレジスト膜11iをマスクにした反応性スパッタエッチングにより、半導体基板をエッチングし、深さ約4μmの容量溝6を形成する。続いて、フォトレジスト膜11iをマスクにして、容量溝6の側壁にボロンのイオン注入を行ないボロン拡散層7を形成する〔第2図(d)〕。

次に、フォトレジスト膜11iを剝離した後、トランスマゲート多結晶シリコン膜4aをマスクにした砒素のイオン注入を行ない、容量溝6の側壁及び容量溝6開口部周辺にH I-C構造の容量砒素拡散層7aを形成すると同時に、トランスマゲート溝12aの間の空隙部分にコンタクト拡散層8を形成する〔第2図(e)〕。

次に、熱酸化法により、容量溝6の側壁表面及び容量溝6開口部周辺表面及びトランスマゲート多結晶シリコン膜4a表面に、約15nmの膜厚の溝酸化膜14aを形成する。続いて、CVD法により600nm程度のリンドープの容量多結

晶シリコン膜2を全面に堆積し、容量溝6aを含めた所望の領域を覆うフォトレジスト膜11jを形成する〔第2図(f)〕。

次に、フォトレジスト膜11jをマスクにしてトランスマゲート多結晶シリコン膜4aを選択的にエッチングし、その後、フォトレジスト膜11jを剝離する。続いて、全面に膜厚600nm程度のBPSG膜3を堆積する。続いて、コンタクト拡散層8上以外を覆うパターンを有するフォトレジスト膜11kを形成する〔第2図(g)〕。

次に、フォトレジスト膜11kをマスクにしてBPSG膜3のエッチングを行ない、コンタクト溝10を形成する。続いて、フォトレジスト膜11kを剝離した後、全面にWSi膜5を堆積し〔第2図(h)〕、フォトリソグラフィ技術によりこれをパターンニングしてディジット線を形成し、トレンチ型DRAMの記憶回路部が形成される。

本実施例は、第1の実施例より全体に平坦性が

良く、フォトレジスト膜パターンの形成及びエッチングにおいて第1の実施例より有利になる。

〔発明の効果〕

以上説明した本発明は、半導体基板表面に浅溝と深溝の2種類の溝を形成し、浅溝の部分にトランスマゲートを埋め込む形状で形成することにより、層間絶縁膜としてのBPSG膜を形成する下地を平坦化されると同時にBPSG膜の表面も平坦化され、ディジット線のトランスファートランジスタの拡散層に対するコンタクト溝の段差は緩和され、コンタクト溝部分におけるディジット線の形状が良好になる。これにより、この部分でのディジット線の断線等の問題は解消される。

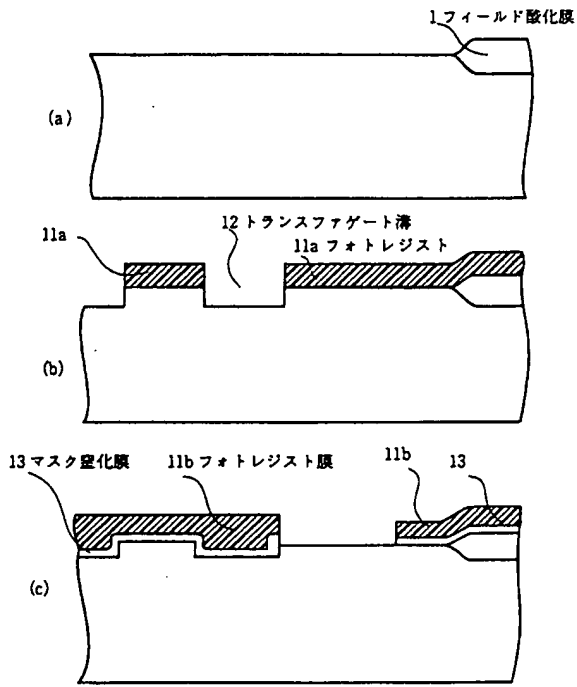
図面の簡単な説明

第1図(a)～(j)は本発明の第1の実施例を説明するための工程順断面図、第2図(a)～(h)は本発明の第2の実施例を説明するための工程順断面図である。

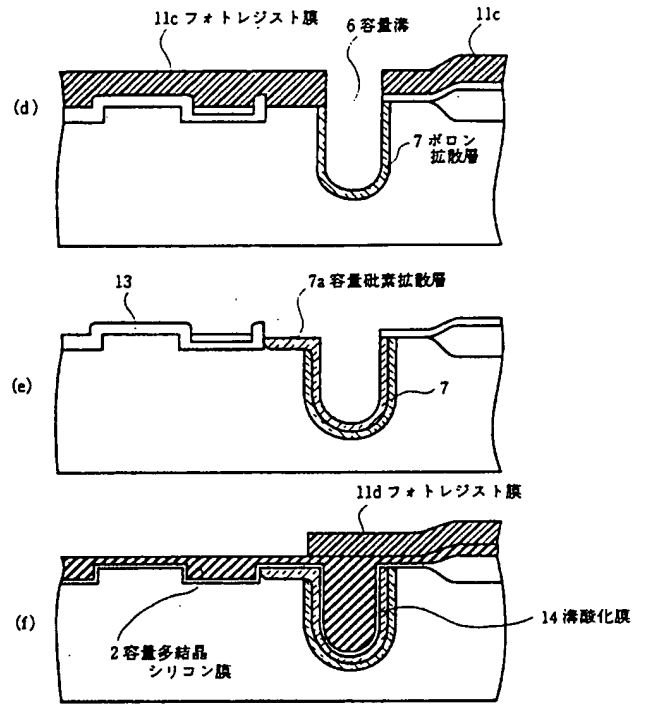
1…フィールド酸化膜、2…容量多結晶シリコ

ン膜、3…BPSG膜、4、4a…トランスマゲート多結晶シリコン膜、5…WSi膜、6…容量溝、7…ボロン拡散層、7a…容量砒素拡散層、8…コンタクト拡散層、9、9a…ゲート酸化膜、10…コンタクト溝、11a、11b、11c、11d、11e、11f、11g、11h、11i、11j、11k…フォトレジスト膜、12、12a…トランスマゲート溝、13…マスク窒化膜、14、14a…溝酸化膜。

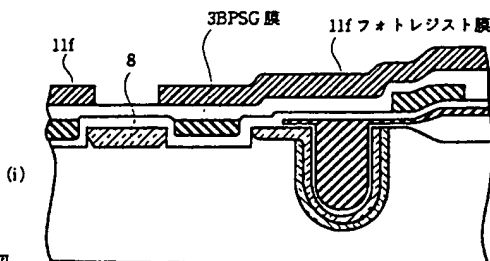
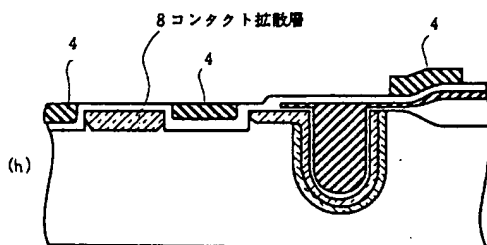
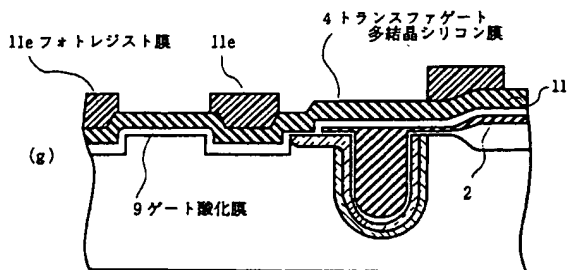
代理人 弁理士 内 原 晋



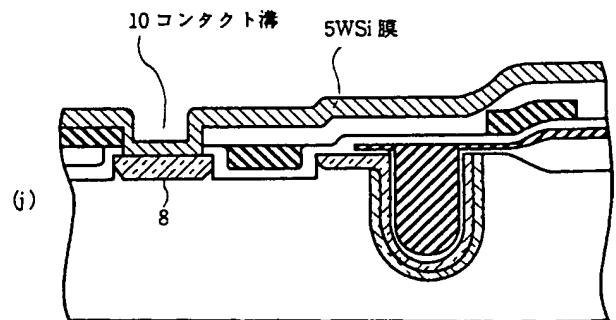
第 1 図



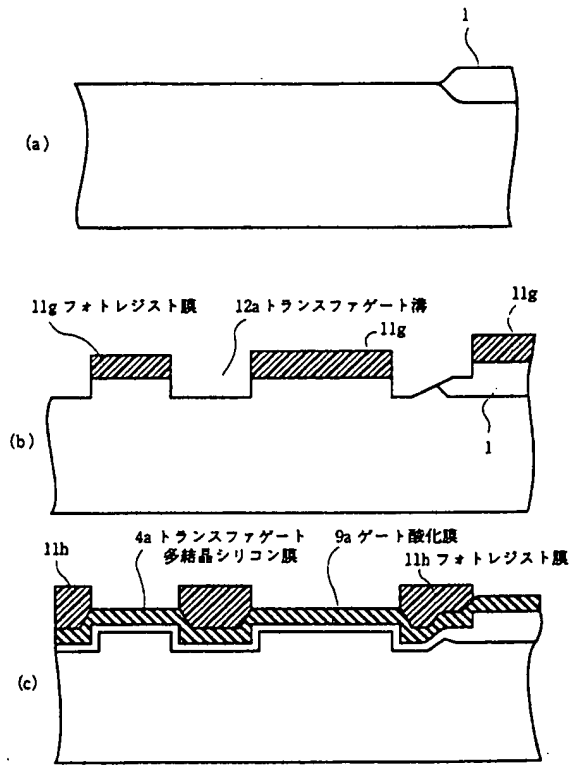
第 1 図



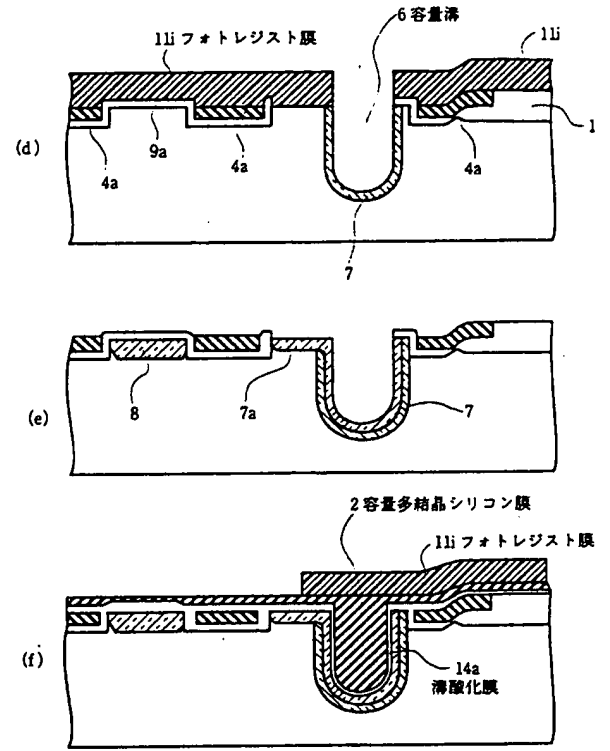
第 1 図



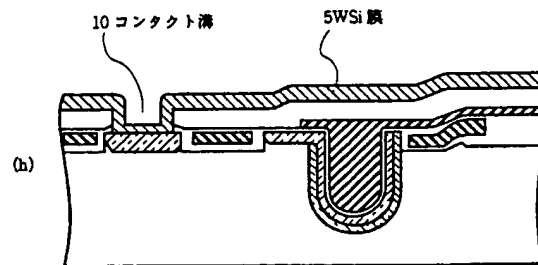
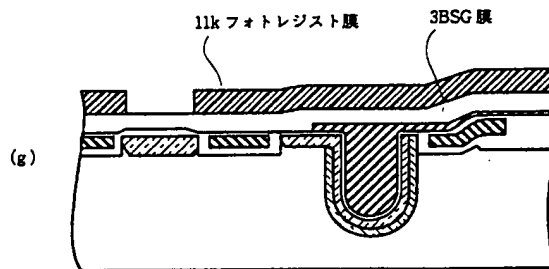
第 1 図



第2図



第2図



第2図

d by subjecting a substrate to reactive sputter etching.
Then